

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-297078

(43)Date of publication of application : 29.10.1999

(51)Int.Cl. G11C 16/02

(21)Application number : 10-296544 (71)Applicant : LG SEMICON CO LTD

(22)Date of filing : 19.10.1998 (72)Inventor : HAN SANG-WOOK

(30)Priority

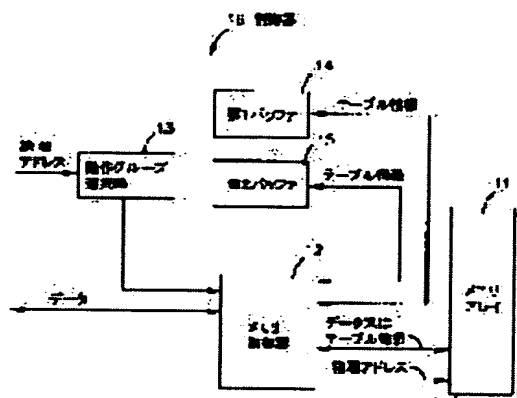
Priority number : 98 9809219 Priority date : 18.03.1998 Priority country : KR

(54) METHOD AND APPARATUS FOR ACCESS TO FLASH MEMORY ARRAY

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the search time between logic addresses and physical addresses to improve the access time of the memory from a host by dividing a memory array into a plurality of operating blocks and providing a look up table for each block.

SOLUTION: The access method for a flash memory array 11 divided in a plurality of operating blocks provides look up table for each operating block to reference in the operating block unit. The access apparatus comprises an operating group selector 13 for selecting corresponding operating block upon receipt of a logic address from a host, first and second buffers 14, 15 for temporarily storing sector information tables and memory controller 12 for controlling the look up tables, creating physical addresses and controlling the read, erase, etc., of data from the memory.



LEGAL STATUS

[Date of request for examination] 19.10.1998

[Date of sending the examiner's decision of rejection] 12.09.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection] 2000-19566

[Date of requesting appeal against
examiner's decision of rejection] 11.12.2000

[Date of extinction of right]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平11-297078

(43)公開日 平成11年(1999)10月29日

(51)Int.Cl.⁶

識別記号

F I

G 1 1 C 16/02

G 1 1 C 17/00

6 1 3

審査請求 有 請求項の数15 O L (全 7 頁)

(21)出願番号 特願平10-296544

(22)出願日 平成10年(1998)10月19日

(31)優先権主張番号 9 2 1 9 / 1 9 9 8

(32)優先日 1998年3月18日

(33)優先権主張国 韓国(KR)

(71)出願人 596034274

エルジー セミコン カンパニー リミテ
ッド

大韓民国、チューンチェオンブクド、チ
ェオンジュ、フンダクーグ、ヒヤングジェ
オンードン、1

(72)発明者 韓 相 旭

大韓民国ソウル特別市機川区禿山4洞201
-17

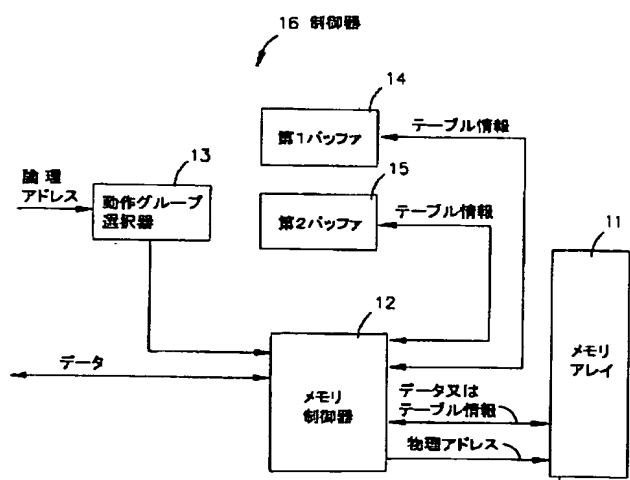
(74)代理人 弁理士 津国 肇 (外3名)

(54)【発明の名称】 フラッシュメモリアレイのアクセス方法及びその装置

(57)【要約】

【課題】 メモリアレイを複数の動作ブロックに分割し、各ブロック毎にルックアップテーブルを備えて、ホストからの論理アドレスと物理アドレス間の探索時間を短縮させ、メモリのアクセス時間を向上し得るフラッシュメモリアレイのアクセス方法及びその装置を提供すること。

【解決手段】 複数の動作ブロックに分割されたフラッシュメモリアレイ11のアクセス方法において、各動作ブロック毎にルックアップテーブルを設けて動作ブロック単位で参照させる。ホストからの論理アドレスを受けて該当の動作ブロックを選択する動作グループ選択器13と、セクタ情報テーブルを臨時貯蔵する臨時記憶手段としての第1、第2バッファ14、15と、ルックアップテーブルの管理、物理アドレスの生成、並びにメモリからのデータ読出し及び消去などの制御機能を行うメモリ制御器12とを包含して構成する。



【特許請求の範囲】

【請求項1】 複数の動作ブロックに分割されたフラッシュメモリアレイのアクセス方法において、前記各動作ブロックは外部論理アドレスと該論理アドレスに対応する物理アドレス間の関係を定めるアドレス変換のための領域を有し、前記外部論理アドレスに基づいて前記複数の動作ブロック中1つを選択する選択段階と、前記外部論理アドレスと前記アドレス変換領域内の論理アドレスとを比較して対応する物理アドレスを生成し、該物理アドレスで前記メモリアレイをアクセスするメモリアクセス段階と、を順次行うことを特徴とするフラッシュメモリアレイのアクセス方法。

【請求項2】 前記選択段階は、全てのメモリアレイのアドレスを前記外部アドレス値で除算して求めた定数値により所定の動作ブロックを選択する段階を包含することを特徴とする請求項1記載のフラッシュメモリアレイのアクセス方法。

【請求項3】 前記選択段階は、全てのメモリアレイのアドレスを所定の動作ブロック数で除算したものの中、前記外部論理アドレスの属するブロックを選択するように比較する段階を包含することを特徴とする請求項1記載のフラッシュメモリアレイのアクセス方法。

【請求項4】 前記ブロックの選択段階を行って選択された動作ブロックに包含された前記アドレス変換領域を、臨時に貯蔵するための臨時記憶手段に読み入れる段階を追加包含することを特徴とする請求項1記載のフラッシュメモリアレイのアクセス方法。

【請求項5】 前記臨時記憶手段は、少なくとも1つ以上であり、それら臨時記憶手段はアドレス変換領域を順次貯蔵することを特徴とする請求項4記載のフラッシュメモリアレイのアクセス方法。

【請求項6】 前記領域は、論理アドレスに対応する物理アドレス及び該物理アドレスの指定されたブロックを構成する複数のセクタ中、1つを指定する情報を包含することを特徴とする請求項1記載のフラッシュメモリアレイのアクセス方法。

【請求項7】 前記メモリアクセス段階は、前記生成された物理アクセスの指定するブロックを構成する複数のセクタ中1つをアクセスし、該アクセスされたセクタに包含されたデータを外部に供給する段階を更に包含することを特徴とする請求項1記載のフラッシュメモリアレイのアクセス方法。

【請求項8】 前記メモリアクセス段階は、前記選択されたブロックのアドレス変換領域からデータが記入されるメモリの空いた領域を探索する段階と、該探索段階に基づいて消去すべきブロックを選択する段階と、該消去すべきブロックの一部有効データをメモリの他の空いた領域に移動させてブロックを消去した後、前記デ

ータを記入する段階と、

前記アドレス変換領域の内容を更新する段階と、を順次行うことを特徴とする請求項1記載のフラッシュメモリアレイのアクセス方法。

【請求項9】 複数の動作ブロックに分割されたフラッシュメモリアレイのアクセスのための装置において、前記各動作ブロックは、外部論理アドレスと該論理アドレスに対応する物理アドレス間の関係を定める複数のアドレス変換のための領域と、

前記外部論理アドレスに基づいて前記複数の動作ブロック中1つを選択する動作グループ選択手段と、前記外部論理アドレスと前記アドレス変換領域内の論理アドレスとを比較して対応する物理アドレスを生成し、該物理アドレスにより前記メモリアレイのメモリセルに対する読出／記入及び消去の動作を制御するメモリ制御手段と、を包含して構成されることを特徴とするフラッシュメモリアレイのアクセス装置。

【請求項10】 前記動作グループ選択手段は、前記全てのメモリアレイのアドレスの入力された前記論理アドレスで除算して求めた定数値によりブロックを選択する常数除算器を包含することを特徴とする請求項9記載のフラッシュメモリアレイのアクセス装置。

【請求項11】 前記動作グループ選択手段は、前記全てのメモリアレイのアドレスを所定のブロック数に均等に分割した範囲内に、入力された前記論理アドレスが包含されたかの可否を判断する比較手段を包含することを特徴とする請求項9記載のフラッシュメモリアレイのアクセス装置。

【請求項12】 前記選択された動作ブロックに包含された前記領域を臨時に貯蔵するための臨時記憶手段を追加包含することを特徴とする請求項9記載のフラッシュメモリアレイのアクセス装置。

【請求項13】 前記臨時記憶手段は、少なくとも1つ以上であることを特徴とする請求項12記載のフラッシュメモリアレイのアクセス装置。

【請求項14】 前記領域は、論理アドレスに対応する物理アドレス及び該物理アドレスの指定されたブロックを構成する複数のセクタ中1つを指定する情報を包含することを特徴とする請求項9記載のフラッシュメモリアレイのアクセス装置。

【請求項15】 前記メモリ制御手段は、前記選択されたブロックの前記領域からデータの記入されるメモリの空いた領域を探索するメモリ探索手段と、該メモリ探索手段により消去すべきブロックを選択するブロック選択手段と、該消去すべきブロックの一部有効データをメモリの他の空いた領域に移動させてブロックを消去した後、前記データを記入するデータ記入手段と、前記アドレス変換領域の内容を更新するアドレス変換領

域更新手段と、を包含することを特徴とするフラッシュメモリアレイのアクセス装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、フラッシュメモリアレイのアクセス方法及びその装置に係るもので、詳しくは、メモリアレイを複数の動作ブロックに分割し、各ブロック毎にルックアップテーブルを配設するようにして、ホストからの論理アドレスと物理アドレス間の探索時間を短縮させてメモリのアクセス時間を向上し得るフラッシュメモリアレイのアクセス方法及びその装置に関するものである。

【0002】

【従来の技術】最近、コンピュータシステムまたはデジタルシステムに用いられているハードディスクのような記憶装置は、体積が大きく、重量が重く、更に、電力の消耗が多いため、フラッシュEEPROM (Flash Electrical Erasable Programmable Read Only Memory) を用いてこのような問題点を解決している傾向がある。このようなフラッシュEEPROMは、ハードディスクに代置することができて、再プログラムも可能であるため、システム運営に関するソフトウェアの更新にも有効に活用し得るという長所があるが、反面、一般のEEPROMとは異なって、メモリアレイ全体を消去した後に初めて再プログラムが可能になるため、メモリアレイ全体が消去される前には再プログラムすることができなく、且つ、メモリの内部に用いられた全てのトランジスタ(セル)のソース端子に同時に高電圧を印加してフラッシュEEPROMが消去されるようになっていて、処理時間が長くなる。

【0003】そこで、より効果的に消去を行うために、メモリアレイを複数のブロックに分割し、個別的に該当ブロックの記憶素子を消去する方法が開発され、このとき、各ブロックは少なくとも2つ以上のセクタにより構成され、それらセクタは使用者領域及びオーバーヘッド領域により構成される。該オーバーヘッド領域は、消去サイクル頻度数のような消去頻度に対する情報を貯蔵するための領域である。

【0004】このようなフラッシュEEPROMの一例として、米国特許第5,341,339号には、消去を行うとき、一部のメモリ素子が他の素子に比べて頻繁に消去過程を経るようになって、結局、使用不可能になるという問題点を解決するために、消去回数情報等を活用してメモリセルをバランスよく消去させる技術が開示されている。更に、ブロックに分割されたメモリアレイにデータを記入するとき、物理的地址とホストから管理される論理アドレス間の関係が分かるように、ルックアップテーブルを用いる方法が開示されている。

【0005】このような、従来のフラッシュEEPROMを使用したメモリアレイにおいては、図6に示したよ

うに、メモリアレイ1にアクセスするためにホスト(図示されず)から論理アドレスの入力を受けて対応する物理アドレスを生成することにより、該メモリアレイ1にアクセスしてデータをホスト側に提供する制御器2が使用される。該制御器2は、論理アドレスと物理アドレス間の関係を定めているルックアップテーブルのアドレス変換ブロック3及び得られた物理アドレスを前記メモリアレイ1に提供し、且つ、該メモリアレイ1とデータまたはテーブル情報を交換するメモリ制御器4を包含する。

【0006】ここで、前記アドレス変換ブロック2は、更新すべきデータがあるときに既貯蔵されたブロックを消去せず、メモリアレイ内の他の空いた空間に順次的に前記更新すべきデータを貯蔵し、既貯蔵された以前のデータは無効データとされて管理され、その後、無効データの貯蔵されたブロックを消去するため、ホストで管理する論理アドレスと実際の物理アドレス間の関係を定める。従って、物理アドレスの指定されたブロック内の各セクタに関連する情報の読出、記入または消去動作の遂行制御のためにメモリ制御器4が使用され、前記メモリアレイ1を構成する複数のブロックはそれぞれテーブル情報を有する別途の領域を包含し、それら情報を前記メモリ制御器4が活用するようになっていた。

【0007】以下、このように構成された従来フラッシュメモリアレイの動作について説明する。

【0008】先ず、メモリアレイ1からのデータ読出動作においては、ホストから論理アドレスが制御器2に受信されると、該制御器2のマイクロプロセッサ(図示されず)は一連の処理を行うために、アドレス変換ブロック3のルックアップテーブルに基づき論理アドレスと物理アドレス間の関係により物理アドレスを選択し、該当の物理アドレスが存在すると物理セクタ内に包含された有効データをホスト側に出力する。

【0009】そして、メモリアレイ1のデータ記入動作においては、ホストから制御器2に論理アドレスが受信されると、現在のルックアップテーブルを参照して対応する物理アドレスを優先的に求める。提供された前記論理アドレスに該当するルックアップテーブルの情報を無効にさせて、ルックアップテーブルに現在使用しないセクタが存在するかを判断して、もし、使用できる空いたセクタが存在すると、該当セクタの物理位置に前記ホストから伝達されたデータを記入して、該セクタに関連するルックアップテーブルを更新して、該記入されたデータが後で読出できるようにする。一方、使用できる空いたセクタが存在しないと、消去動作を行った後、記入動作を行う。

【0010】また、メモリアレイ1のデータ消去動作においては、該メモリアレイ1から有効データが存在しないセクタ、或いは、有効データの最も少ないセクタを有するブロックを、消去すべきブロックとして選択する。

上述したように、従来の方式はデータを更新するとき消去を行わず他の場所に記入する方式であるため、消去されない以前のデータは無効データとして処理されテーブル情報として管理されて動作が行われる。

【0011】このように有効データの無いブロックに対しては、該ブロックに関連されるルックアップテーブルの部分及びメモリアレイ1内のテーブル情報を修正し、該消去すべきブロックに対し消去動作を行った後、記入動作を行う。ここで、消去はメモリセルに構成された例えば、フローティングゲート電界効果トランジスタのソースに、12ボルトの電圧を印加して遂行される。

【0012】一方、消去すべきブロック内に有効データが包含される場合、該有効データを他の空いたメモリに移動させた後にルックアップテーブル及びテーブル情報の修正及び消去過程を進行する。

【0013】

【発明が解決しようとする課題】然るに、このようなフラッシュメモリアレイのアクセス方法及びその装置においては、メモリを使用するときルックアップテーブルを用いることが重要であるが、読出し動作を行うとき、または、ホストがアクセスしようとするセクタの物理アドレスを生成するためルックアップテーブルを探索するときに消費時間が長くなって非効率的であるという不都合な点があった。

【0014】且つ、データ記入動作を行うとき、既記入されたセクタを無効にするためにもルックアップテーブルを探索するようになるため、時間が永くかかるという不都合な点があった。

【0015】本発明はこのような従来の問題点に鑑みてなされたもので、より改善された高速フラッシュEEPROMメモリのアクセス方法及びその装置を提供することを目的とする。

【0016】

【課題を解決するための手段】このような目的を達成するため、本発明に係るフラッシュメモリアレイのアクセス方法においては、複数のメモリセルを有し、複数の動作ブロックに分割されたフラッシュメモリアレイのアクセス方法において、前記各動作ブロックは外部論理アドレスと該論理アドレスに対応する物理アドレス間の関係を定めるアドレス変換のための領域を有して、前記外部論理アドレスに基づいて前記複数の動作ブロック中1つを選択する選択段階と、前記外部論理アドレスと前記アドレス変換領域内の論理アドレスとを比較して対応する物理アドレスを生成し、該物理アドレスで前記メモリアレイをアクセスする段階と、を順次行うようになっている。

【0017】そして、本発明に係るフラッシュメモリアレイのアクセス装置においては、複数のメモリセルを有し、複数の動作ブロックに分割されたフラッシュメモリアレイのアクセス装置において、前記各動作ブロック

は、外部論理アドレスと該論理アドレスに対応する物理アドレス間の関係を定める複数のアドレス変換のための領域と、前記外部論理アドレスに基づいて前記複数の動作ブロック中1つを選択する動作グループ選択手段と、前記外部論理アドレスと前記アドレス変換領域内の論理アドレスとを比較して対応する物理アドレスを生成し、該生成された物理アドレスにより前記メモリアレイのメモリセルに対する読出／記入及び消去の動作を制御するメモリ制御手段と、を包含して構成されている。

【0018】

【発明の実施の形態】以下、本発明の実施の形態に対し、図面を用いて説明する。まず、本発明に係るフラッシュメモリセルにより構成されたメモリアレイ11においては、図2に示したように、複数の動作ブロック OB_0 — OB_n から構成され、各動作ブロック OB_0 — OB_n の構成は同様であるため、第1動作ブロック OB_1 の構成について説明する。

【0019】そして、フラッシュEEPROM素子の消去特性を顧慮し、メモリアレイ11は複数のブロックに分割され、消去過程を必要とするブロックのみが消去されるようになっているため、メモリアレイ全体を消去する必要はなくなる。

【0020】且つ、本発明の前記動作ブロックにおいては、図3に示したように、論理アドレスと物理アドレス間の関係を定めるルックアップテーブルは複数存在し、各動作ブロック OB_0 — OB_n 毎にルックアップテーブルを有しているため、例えば、第1動作ブロック OB_1 はルックアップテーブル L_{T1} を有し、本発明のルックアップテーブルは n 個である。

【0021】このように、動作ブロック単位でルックアップテーブルを参照するように構成されているため、大容量のフラッシュメモリアレイに対し、単一のルックアップテーブルを使用して物理アドレスを探索する場合に比べ、処理速度が大いに向上される。

【0022】また、前記メモリアレイ11は複数の動作ブロックに分割され、新しいデータは空いたブロックに順次記入される。更に、更新すべきデータも空いた空間に先ず記入された後、既貯蔵されて更新すべきデータは無効データとして管理されるため、各動作ブロックは、図3に示したような複数の消去ブロック EB_0 — EB_m を有し、図4に示したように、各ブロックは複数のセクタ S_0 — S_k により構成され、各セクタアドレスは図3のルックアップテーブルで管理される。

【0023】更に、本発明のルックアップテーブルにおいては、図5に示したように、各動作ブロックの構成は同様であり、図5に示した例は前記第1動作ブロック OB_1 に割当された第1ルックアップテーブル L_{T1} に関するものである。尚、ルックアップテーブルは、例えば、セクタ1に対する論理アドレスに対応する物理アドレスを維持し、探索された物理アドレスにより該当のアドレ

スがアクセスされる。

【0024】このような本発明に係るメモリアレイ11においては、図1に示したように、制御器16により、ホストからの論理アドレスに従って物理アドレスを生成して、所望のメモリ内のデータを読出し、または記入、或いは消去動作を遂行する。

【0025】且つ、前記制御器16においては、ホストからの論理アドレスを受けて該当の動作ブロックを選択する動作グループ選択手段としての動作グループ選択器13と、セクタ情報テーブルを臨時貯蔵する臨時記憶手段としての第1、第2バッファ14、15と、フラッシュメモリに対するルックアップテーブルの管理、物理アドレスの生成、並びにメモリからのデータ読出し及び消去などの制御機能を行うメモリ制御手段としてのメモリ制御器12と、を包含して構成されている。

【0026】そして、ホスト（図示されず）からメモリ内のデータを読出するか、または、データを記入するときは、論理的で使いやすいアドレスが使用され、このような論理アドレスは前記制御器16の動作グループ選択器13に入力され、該動作グループ選択器13は前記メモリアレイ11の複数の動作ブロック中1つを選択する。これは、本発明の実施例により、常数除算器（divider）、または比較手段としての比較器等を使用して実現することができる。

【0027】例えば、フラッシュメモリアレイが十進数で標記されて0から1000までのアドレスを有し、それらのアレイを100個単位に分割して動作ブロックが10個あると仮定し、もし、ホストからの論理アドレスが250で与えられたすると、該アドレスの包含される動作ブロックの番号は2になる。これは常数除算器の採用を暗示するもので、このような常数除算器により動作グループ選択器13を実現した場合、ホスト論理アドレスを100で除算した値を動作グループブロックの番号に選択することができ、該値がメモリ制御器12に入力される。一方、動作グループ選択器13を比較器により実現した場合、入力されたホストアドレスが比較される基準値として、例えば、0-99、100-299、…、900-999のどの範囲内にあるかを比較して動作グループ番号を指定することができる。

【0028】次いで、前記メモリ制御器12は、前記動作グループブロックの番号を受けて、図2の動作ブロック中、前記例から、値2に該当する第1動作ブロックOB₁を選択するようになる。

【0029】尚、前記メモリ制御器12においては、マイクロプロセッサ及び本発明の各動作を制御するためのソフトウェアを有したROM等を具備することができる。

【0030】以下、このように構成された本発明に係るフラッシュメモリアレイのアクセス動作について説明する。

【0031】まず、データの読出し動作の場合、ホストから読出命令と共に論理アドレスがメモリ制御器12及び動作グループ選択器13に伝達されると、前記論理アドレスの属する動作ブロックの番号が動作グループ選択器13から出力される。次いで、メモリ制御器12は、前述した例の第1動作ブロックOB₁を指定し、該第1動作ブロックOB₁に包含されたアドレス変換領域の第1ルックアップテーブルLT₁を臨時記憶手段の第1バッファ14に臨時貯蔵する。次いで、前記メモリ制御器12では、前記第1ルックアップテーブルLT₁内にホストからの論理アドレスと同様の論理アドレスが存在するかを比較して、もし、同様の論理アドレスが前記第1ルックアップテーブルLT₁内に存在すると、該論理アドレスに該当する物理アドレスにより、図5に示したような該当のセクタを分かるため、図4の該当セクタをアクセスして、前記メモリ制御器12はデータをホスト側に供給する。

【0032】一方、同様の論理アドレスが前記第1ルックアップテーブルLT₁内に存在しないと、セクタなしという表示を行う。

【0033】このように、ルックアップテーブルを参照する範囲は選択された動作ブロックの大きさと類似するため、従来のように全ての動作ブロックに対する情報を利用する必要がなくなって、処理時間が大幅に短縮される。

【0034】次いで、データの記入動作について説明する。ホストから読出し命令と共に論理アドレスがメモリ制御器12及び動作グループ選択器13に伝達されると、前記論理アドレスの属する動作ブロックの番号が動作グループ選択器13から出力される。次いで、メモリ制御器12は、前述した例の第1動作ブロックOB₁を指定し、該第1動作ブロックOB₁に包含されたアドレス変換領域の第1ルックアップテーブルLT₁を臨時記憶手段の第1バッファ14に臨時貯蔵する。次いで、前記メモリ制御器12では、前記第1ルックアップテーブルLT₁内にホストからの論理アドレスと同様の論理アドレスが存在するかを比較して、もし、同様の論理アドレスが前記第1ルックアップテーブル内に存在すると、現在のルックアップテーブルの該当情報に無効表示をして使用不可にした後、該ルックアップテーブルの空いたセクタまたは未だ使用していないセクタを探索する。このとき、同様の論理アドレスが現在のルックアップテーブル内に存在しないときにも、空いたセクタを探索する。

【0035】次いで、未使用のセクタが存在すると、該セクタの物理アドレスを参照してホストからの記入すべきデータを前記未使用セクタに記入し、このとき、該セクタの物理アドレスと現在の論理アドレス間に関係が成立しているため、現在使用中の第1バッファ14内のルックアップテーブルを更新する。次いで、前記メモリ制

御器12は、更新されたルックアップテーブルの内容を後で使用するために該当の動作ブロックに再び格納させる。

【0036】一方、未使用のセクタが存在しない場合は、後述するように、消去動作を行って空いたセクタを形成した後、データを記入するようになる。

【0037】次いで、消去動作について説明する。記入すべきデータは存在するが、記入される空いたセクタが存在しないとき、無効データの包含されたセクタを消去する。そのために、図3に示したような消去ブロック中、有効データを有するセクタのないブロック、或いは、有効データの最も少ない消去ブロックを探索する。図3に示した消去ブロックは、ホスト側では使用し得るが、少なくとも消去すべき無効なデータを包含しているか、または、既にデータの格納されたブロックを意味するもので、無効なデータのみを包含し全てが消去されるものを意味するわけではない。

【0038】次いで、有効なデータを有するセクタが存在しない消去ブロックが発見されたときは、該消去ブロックを有する動作ブロックのルックアップテーブルを修正し、消去過程を行った後、データを記入する。ここで、消去は消去されるべきブロックを構成するフラッシュEPPROM素子に高電圧を印加して行われる。このときのルックアップテーブルは、物理セクタにデータが新しく記入されて、ホストから伝達された論理アドレスとの関係が新たに成立したため、新しい情報を有する。よって、ホストが新たに記入されたデータを読み出すときは、前述の読み出過程により、更新されたルックアップテーブル内の情報に基づいて該当のセクタをアクセスするようになる。

【0039】一方、消去されるべきブロックがある程度の有効データを包含する場合は、該有効データを消去せず、該有効データを有するセクタを他のセクタに移動させた後、消去過程及びその後続段階を行う。

【0040】上述した消去過程に従来の処理過程を更に包含することも可能であるが、その組合せも本発明に包含されている。従って、各動作ブロックは付加される従来の技術を更に包含して処理するために、処理すべき情報の包含される別途の領域を更に包含することが可能で、例えば、セクタは使用者領域とオーバーヘッド領域とに区分され、該オーバーヘッド情報を活用して全体メモリアレイに亘って均等な消去動作を行うことが可能になる。

【0041】且つ、本発明は、通常のパイプライン方式を採用し、並列にデータを処理して動作の高速化を図っている。

【0042】即ち、図1に示したように、第1バッファ14の他に更に付加された第2バッファ15により達成される。ここで、前記第1バッファ14のみが採用されたときは単に1つのルックアップテーブルに関連する動

作が行われた後、その後の動作が行われるが、第2バッファ15を付加すると、前記第1バッファ14がルックアップテーブルを処理するとき、その後に処理されるルックアップテーブルが予め前記第2バッファ15に臨時貯蔵され、それら第1バッファ14及び第2バッファ15の動作が交代に行われるため、データの処理時間が短縮される。

【0043】

【発明の効果】以上説明したように、本発明の請求項1にかかる方法によれば、入力された論理アドレスに基づいて複数の動作ブロック中1つの動作ブロックを選択し、該選択された動作ブロックの有するルックアップテーブルを参照して物理アドレスによるセクタをアクセスするという効果がある。

【0044】そして、本発明の請求項2に係る発明によれば、前記請求項1の選択方法を常数除算器で具現するという効果がある。

【0045】本発明の請求項3に係る発明によれば、請求項1の選択方法を比較器で具現するという効果がある。

【0046】本発明の請求項4に係る発明によれば、ブロックを選択した後ルックアップテーブルを臨時貯蔵手段に貯蔵させるという効果がある。

【0047】本発明の請求項5に係る発明によれば、前記請求項4の臨時記憶装置は少なくとも2個であり、交代してルックアップテーブルが貯蔵されて処理されるという効果がある。

【0048】本発明の請求項6に係る発明によれば、ルックアップテーブルは論理アドレスと物理アドレス間の関係に対する情報及び該当のセクタアドレスなどの情報を有するという効果がある。

【0049】本発明の請求項7に係る発明によれば、前記請求項1のメモリアクセスにおいて、ルックアップテーブルによる物理セクタ内のデータを読み入れて外部に出力し読み出し動作が可能になるという効果がある。

【0050】本発明の請求項8に係る発明によれば、前記請求項1のメモリアクセスにおいて、データを記入するためにルックアップテーブルに基づいて未使用セクタにデータを貯蔵し、更新されたデータの貯蔵されたブロックは消去されるという効果がある。

【0051】本発明の請求項9に係る発明によれば、複数に分割された動作ブロック選択器と、ルックアップテーブルと、記入／読み出し及び消去などの動作を行うメモリ制御器と、から構成されたメモリアクセス装置を提供し得るという効果がある。

【0052】本発明の請求項10に係る発明によれば、前記請求項9の選択器は常数除算器である。

【0053】本発明の請求項11に係る発明によれば、前記請求項9の選択器は比較器である。

【0054】本発明の請求項12に係る発明によれば、

前記請求項9のブロックを選択した後ルックアップテーブルを臨時記憶手段に貯蔵し得るという効果がある。

【0055】本発明の請求項13に係る発明によれば、前記請求項12の臨時記憶手段は少なくとも2個であり、交代してルックアップテーブルが貯蔵されて処理されるという効果がある。

【0056】本発明の請求項14に係る発明によれば、ルックアップテーブルは論理アドレスと物理アドレス間の関係に対する情報及び該当セクタアドレス等の情報を有するという効果がある。

【0057】本発明の請求項15に係る発明によれば、前記請求項9のメモリアクセスにおいて、データを記入するためにルックアップテーブルに基づいて未使用セクタにデータを貯蔵し、更新されたデータの貯蔵されたブロックを消去する手段を包含している。

【図面の簡単な説明】

【図1】本発明に係るフラッシュメモリアレイのアクセ

ス装置を示したブロック図である。

【図2】本発明に係る分割された動作ブロックを備えたメモリアレイを示した概略図である。

【図3】図2の各動作ブロックを示した概略構成図である。

【図4】図3の各セクタを示した概略構成図である。

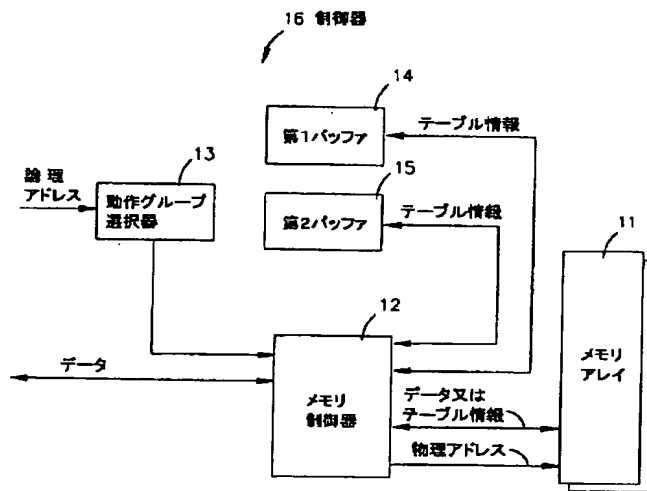
【図5】図3のルックアップテーブルを示した構成図である。

【図6】従来フラッシュメモリアレイのアクセス装置を示したブロック図である。

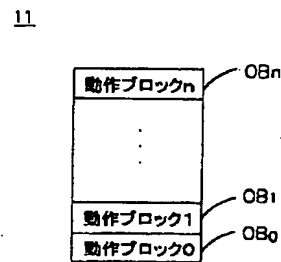
【符号の説明】

- 11：メモリアレイ
- 12：メモリ制御器
- 13：動作グループ選択器
- 14：第1バッファ
- 15：第2バッファ

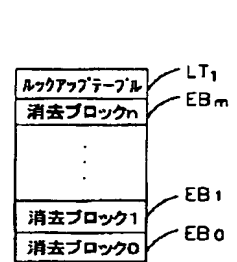
【図1】



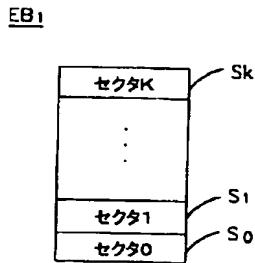
【図2】



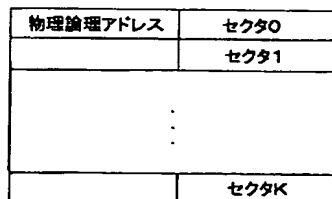
【図3】



【図4】



【図5】



【図6】

